

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-273859

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01J 31/12

G09F 9/30

H01J 29/04

(21)Application number : 2000-086631

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.03.2000

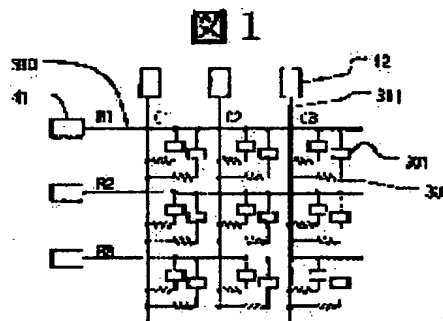
(72)Inventor : SUZUKI MUTSUMI  
SAGAWA MASAKAZU  
KUSUNOKI TOSHIKI

## (54) IMAGE DISPLAY APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image display apparatus whose manufacturing yield can be enhanced.

**SOLUTION:** This image display apparatus is equipped with a lower electrode, an electron accelerating layer, and an upper electrode, and a first substrate which has plural electron source elements, which discharges electrons from the surface of the upper electrode when a positive polarity voltage is impressed to the upper electrode, plural first electrodes to impress driving voltages to the lower electrodes of the plural electron source elements, and plural second electrodes which apply driving voltages to the upper electrodes of the plural electron source elements. The display element has plural picture elements and at least one of the plural picture elements is constituted by  $n$  ( $n \geq 2$ ) electron source elements, and the  $n$  electron source elements have at least either one of the structures that the lower electrode is connected electrically to either one of the plural first electrodes via a resistance element, and the upper electrode is connected electrically to either one of the plural second electrodes via a resistance element.



## LEGAL STATUS

[Date of request for examination] 10.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3606513

[Date of registration] 15.10.2004

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-273859

(P2001-273859A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 J 31/12		H 0 1 J 31/12	C 5 C 0 3 1
G 0 9 F 9/30	3 6 0	G 0 9 F 9/30	3 6 0 5 C 0 3 6
H 0 1 J 29/04		H 0 1 J 29/04	5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2000-86631(P2000-86631)

(22) 出願日 平成12年3月27日 (2000.3.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 睦三

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 佐川 雅一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

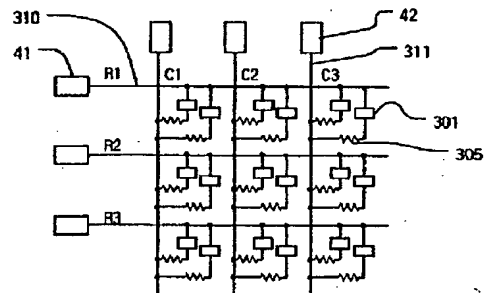
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 製造歩留まりを向上させることができる画像表示装置を提供する。

【解決手段】 下部電極と、電子加速層と、上部電極とを有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の電子源素子と、前記複数の電子源素子の前記下部電極に駆動電圧を印加する複数の第1の電極と、前記複数の電子源素子の前記上部電極に駆動電圧を印加する複数の第2の電極とを有する第1の基板を備える画像表示装置であって、前記表示素子は、複数の画素を有し、前記複数の画素の少なくとも1つは、 $n$  ( $n \geq 2$ ) 個の前記電子源素子で構成され、かつ、前記 $n$ 個の電子源素子は、前記下部電極が抵抗素子を介して前記複数の第1の電極のいずれかに電気的に接続される構造、および前記上部電極が抵抗素子を介して前記複数の第2の電極のいずれかに電気的に接続される構造の少なくとも一方の構造を有する。

図 1



## 【特許請求の範囲】

【請求項1】 下部電極と、電子加速層と、上部電極とがこの順番に積層された構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の電子源素子と、

前記複数の電子源素子の前記下部電極に駆動電圧を印加する複数の第1の電極と、

前記複数の電子源素子の前記上部電極に駆動電圧を印加する複数の第2の電極とを有する第1の基板と、

蛍光体を有する第2の基板とを備え、前記第1の基板と前記第2の基板との間の空間が真空雰囲気とされる表示素子を備える画像表示装置であって、

前記表示素子は、複数の画素を有し、

前記複数の画素の少なくとも1つは、 $n$  ( $n \geq 2$ ) 個の前記電子源素子で構成され、かつ、前記 $n$ 個の電子源素子は、前記下部電極が抵抗素子を介して前記複数の第1の電極のいずれかに電気的に接続される構造、および前記上部電極が抵抗素子を介して前記複数の第2の電極のいずれかに電気的に接続される構造の少なくとも一方の構造を有することを特徴とする画像表示装置。

【請求項2】 下部電極と、電子加速層と、上部電極とがこの順番に積層された構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の電子源素子と、

前記複数の電子源素子の前記下部電極に駆動電圧を印加する複数の第1の電極と、

前記複数の電子源素子の前記上部電極に駆動電圧を印加する複数の第2の電極とを有する第1の基板と、

蛍光体を有する第2の基板とを備え、前記第1の基板と前記第2の基板との間の空間が真空雰囲気とされる表示素子を備える画像表示装置であって、

前記表示素子は、複数の画素を有し、

前記複数の画素の少なくとも1つは、 $n$  ( $n \geq 2$ ) 個の前記電子源素子で構成され、かつ、前記 $n$ 個の電子源素子は、前記下部電極が接続配線を介して前記複数の第1の電極のいずれかに電気的に接続される構造、および前記上部電極が接続配線を介して前記複数の第2の電極のいずれかに電気的に接続される構造の少なくとも一方の構造を有することを特徴とする画像表示装置。

【請求項3】 前記第1の電極および第2の電極の少なくとも1つは、前記1画素に対して複数本形成されていることを特徴とする請求項1または請求項2に記載の画像表示装置。

【請求項4】 前記1画素に対して、複数本形成された前記第1の電極、あるいは、第2の電極のうちいずれか1本を、駆動手段から電気的に切断したことを特徴とする請求項3に記載の画像表示装置。

【請求項5】 前記複数の画素のすべては、前記 $n$ 個の電子源素子で構成され、

前記すべての画素に対して、複数本形成された前記第1

の電極、あるいは、第2の電極のうちいずれか1本を、駆動手段から電気的に切断したことを特徴とする請求項3に記載の画像表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像表示装置に係わり、特に、下部電極、電子加速層（絶縁層、または、半導体層、または、それらの積層膜、あるいは、混合膜）と、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源を用いた画像表示装置に関する。

【0002】

【従来の技術】薄膜型電子源とは、上部電極－電子加速層（絶縁層、または、半導体層、または、それらの積層膜、あるいは、混合膜）－下部電極の3層薄膜構造を基本とし、上部電極－下部電極の間に電圧を印加することにより、電子加速層に高電界を印加し、上部電極の表面から真空中にホットエレクトロン（電子）を放出させるものである。例えば、加速層として絶縁体を用いる薄膜型電子源、即ち、金属－絶縁体－金属を積層して構成されるMIM（Metal-Insulator-Metal）型薄膜型電子源、金属－絶縁体－半導体を積層して構成されるMIS（Metal-Insulator-Semiconductor）型薄膜型電子源等が知られている。代表例として、上部電極－絶縁層－下部電極の3層構造の薄膜で構成されるMIM（Metal-Insulator-Metal）型電子源について説明する。

【0003】図17は、薄膜型電子源の代表例であるMIM型電子源の動作原理を説明するための図である。上部電極11と下部電極13との間に駆動電圧を印加すると、絶縁層12内の電界を $1 \sim 10 \text{ MV/cm}$ 以上にすると、下部電極13中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、絶縁層12、上部電極11の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンの一部は、絶縁層12中および上部電極11中で、固体との相互作用で散乱を受けエネルギーを失う。この結果、上部電極11－真空10界面に到達した時点では、様々なエネルギーを有したホットエレクトロンがある。これらのホットエレクトロンのうち、上部電極11の仕事関数 $\phi$ 以上のエネルギーを有するものは、真空10中に放出され、それ以外のものは上部電極11に流れ込む。

【0004】下部電極13から上部電極11に流れる電子による電流をダイオード電流（ $I_d$ ）、真空10中に放出される電子による電流を放出電流（ $I_e$ ）と呼ぶと、電子放出効率（ $I_e/I_d$ ）は $1/10^3 \sim 1/10^4$ 程度である。なお、MIM型薄膜電子源は、例えば、特開平9-320456号公報に記載されている。ここで、上部電極11と下部電極13とを複数本設け、これら複数本の上部電極11と下部電極13と直交させて、薄膜型電子源をマトリクス状に形成すると任意の場所から電子線を発生させることができるので、画像表示

装置の電子源として使用することができる。即ち、各画素毎に薄膜型電子源素子を配置し、そこからの放出電子を真空中で加速した後、蛍光体に照射し、照射した部分の蛍光体を発光させることにより所望の画像を表示する画像表示装置を構成することができる。薄膜型電子源は、放出電子ビームの直進性に優れるため高精細の表示装置を実現できる、表面汚染の影響を受けにくいので扱いやすい、など画像表示装置用電子放出素子として優れた特徴を有している。

【0005】

【発明が解決しようとする課題】従来の薄膜型電子源を用いた画像表示装置では、マトリクス状に配置した多数の薄膜型電子源素子（電子放出部）のうち、1個の薄膜型電子源素子が製造不良などに起因して短絡状態になると、その薄膜型電子源素子が接続されている行あるいは列上の薄膜型電子源素子の全てから電子が放出されず、発光しなくなってしまっていた。即ち、薄膜型電子源素子1個の「点欠陥」が「線欠陥」を引き起こしていた。以下、前記した点について説明する。図18は、従来の薄膜電子源マトリクスの概略構成を示す図である。行電極（下部電極）310と列電極（上部電極）311の各交点に薄膜型電子源素子301が形成されている。なお、図18では3行×3列の場合を図示しているが、実際には表示装置を構成する画素、あるいはカラー表示装置の場合はサブ画素（sub-pixel）の個数だけ薄膜型電子源素子301が配置されている。

【0006】ここで、各薄膜型電子源素子301は、行電極310と列電極311と直接結線されている。このため、例えば、R2の行電極310と、C2の列電極311との交点（R2、C2）にある薄膜型電子源素子301が製造不良などの原因で短絡した場合、R2の行電極310と、C2の列電極311とが短絡されるので、行電極駆動回路41あるいは列電極駆動回路42から適正な電圧を両電極に印加しようとしても電圧がかかなくなってしまう。それにより、R2の行電極上の全薄膜型電子源素子301、あるいはC2の列電極上の全薄膜型電子源素子301が動作せず、「線欠陥」となってしまふ。このように、1ライン全てが発光しないなどの「線欠陥」がある場合は、画像表示装置としては使用できない。このため、製造歩留まりが下がってしまうという問題点があった。本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、画像表示装置において、製造歩留まりを向上させること\*

$$1H = 1 / (f \cdot N_{eff}) \quad \dots \dots \dots (1)$$

例えば、 $f = 60 \text{ Hz}$ 、 $N_{eff} = 256$ の場合は、 $1H = 64 \mu s$ となる。

【0010】本発明の第2の効果は、配線抵抗や駆動回路の特性バラツキの影響を低減できることである。薄膜型電子源301の両電極（上部電極11、下部電極1

$$I_d = f(V_d) \quad \dots \dots \dots (2)$$

\*が可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】図1は、本発明の画像表示装置の薄膜電子源マトリクスの一例の概略構成を示す図である。本発明の画像表示装置は、列電極311と薄膜型電子源素子301との間に抵抗305を挿入した薄膜電子源マトリクスを備える。なお、以下の説明では、この抵抗305を画素抵抗と呼ぶ。また、カラー画像表示の場合は、赤、青、緑の各サブ画素（sub-pixel）の組み合わせで1画素（pixel）を形成するが、ここで定義した「画素」とはカラー画像表示の場合はサブ画素（sub-pixel）に相当する。行電極310と列電極311とで囲まれた部分が各画素（カラー画像表示の場合はサブ画素に相当するが、本明細書ではサブ画素も画素と呼ぶ）に相当する。各画素に薄膜電子源素子301が2個ずつ配置されていることがわかる。

【0008】この画素抵抗305の抵抗値を、列電極駆動回路42の出力インピーダンスの10倍以上に設定しておく、（R2、C2）にある2個の薄膜型電子源素子301のうち一方が短絡しても、R2の行電極310と、C2の列電極311との間の抵抗は駆動回路の出力インピーダンスより充分高いため、両電極には十分な電圧が印加され、両電極上の他の薄膜型電子源素子301は正常に動作する。即ち、（R2、C2）にあるもう一方の薄膜電子源素子301が正常に動作する。このようにして、ある画素の表示が完全に無くなってしまふ（いわゆる「完全点欠陥」）のを防止できる。本発明では、このようにして、「線欠陥」および「完全点欠陥」の発生確率を大幅に低減することができる。

【0009】画素抵抗305の抵抗値（ $R_r$ ）には次のような制限がある。薄膜型電子源素子自体と1画素内の浮遊容量を足し合わせた容量を $C_e$ とすると、 $C_e \cdot R_r$ が薄膜型電子源素子301に印加する信号電圧の変化の時定数になる。したがって、画像表示装置として用いる場合には、（ $C_e \cdot R_r < 1H$ ）でなければならない。ここで、1Hは、水平走査期間であり、フィールド周波数 $f$ 、実効走査線数 $N_{eff}$ （2本同時駆動の場合は（走査線数÷2））とすると、水平走査期間（1H）は下記（1）式で表される。

【数1】

※3）間に印加するダイオード電圧（ $V_d$ ）と流れるダイオード電流（ $I_d$ ）との間には、下記（2）式に示すような関数関係がある。

【数2】

一方、行電極 310 と列電極 311 を合わせた配線抵抗を  $R(\text{line})$  とし、行電極駆動回路 41 の出力インピーダンスを  $Z_{\text{out(row)}}$ 、列電極駆動回路 42 の出力インピーダンスを  $Z_{\text{out(column)}}$  とする。行電極駆動回路 41 の出力電圧と列電極駆動回路 42 の出力電圧との差、即ち \*

$$V_d = V_0 - I_d (R(\text{line}) + Z_{\text{out(row)}} + Z_{\text{out(column)}}) \quad (3)$$

【0011】したがって、薄膜型電子源素子 301 に流れるダイオード電流 ( $I_d$ ) は下記 (4) で表される。\*

$$I_d = f [V_0 - I_d (R(\text{line}) + Z_{\text{out(row)}} + Z_{\text{out(column)}})] \quad (4)$$

このため、 $R(\text{line})$ 、 $Z_{\text{out(row)}}$ 、 $Z_{\text{out(column)}}$  に、バラツキ  $\Delta R(\text{line})$ 、 $\Delta Z_{\text{out(row)}}$ 、 $\Delta Z_{\text{out(column)}}$  があると、ダイオード電流 ( $I_d$ ) の電流値も変化する。薄膜型電子源素子 301 から真空中に放出される電流 (放出電流) ( $I_e$ ) はダイオード電流 ( $I_d$ ) の電流値に応じて変化する。したがって、画像表示装置においては、輝度ムラが発生することになる。★

$$V_d = V_0 - I_d (R_r + R(\text{line}) + Z_{\text{out(row)}} + Z_{\text{out(column)}}) \quad (5)$$

したがって、バラツキ  $\Delta R(\text{line})$ 、 $\Delta Z_{\text{out(row)}}$ 、 $\Delta Z_{\text{out(column)}}$  よりも、 $R_r$  を大きく設定しておくことにより、これらのバラツキがダイオード電流 ( $I_d$ ) の電流値のバラツキを引き起こさなくなり、輝度ムラも発生しなくなる。

【0013】次に、画素抵抗 305 の抵抗値バラツキが放出電流量の変動に与える影響を考える。薄膜型電子源素子 301 と画素抵抗 305 とを直列接続し、その全体に外部電圧  $V_0$  を印加する場合を想定し、画素抵抗 305 の抵抗値  $R$  のバラツキが薄膜型電子源素子 301 に流れる電流に与える影響を見積もる。薄膜型電子源素子 301 のダイオード電流-電圧特性を、 $I_d = f(V)$  とし、画素抵抗 305 の抵抗値が  $R$ 、 $R + \Delta R$  の時に流れる電流を、それぞれ  $I$ 、 $\Delta I$  とすると、下記 (6) 式の関係がある。

【0014】

【数 6】

$$\frac{\Delta I}{I} = \left( \frac{\Delta R}{R + \Delta R} \right) / (1 + \alpha)$$

$$\alpha = \frac{r_e}{R + \Delta R}$$

$$r_e = \frac{dV}{dI_d}$$

..... (6)

したがって、画素抵抗 305 の抵抗値  $R + \Delta R$  を、薄膜型電子源素子 301 の (動作領域での) 微分抵抗  $r_e$  より小さくし、 $\alpha \geq 1$  とすれば、前記 (6) 式は下記 (7) のように変形できる。

【0015】

【数 7】

\* ち、外部印加電圧を  $V_0$  とすると、薄膜型電子源素子 301 の両端に印加されるダイオード電圧 ( $V_d$ ) は下記 (3) 式で表される。  
【数 3】

※【数 4】

★【0012】本発明においては、各薄膜型電子源素子毎に抵抗 305 を挿入しており、この抵抗値 305 の抵抗値を  $R_r$  とすると、薄膜型電子源素子 301 の両端に印加されるダイオード電圧 ( $V_d$ ) は下記 (5) 式で表される。

【数 5】

$$\frac{\Delta I}{I} \leq \frac{1}{2} \left( \frac{\Delta R}{R + \Delta R} \right)$$

..... (7)

これにより、画素抵抗 305 の抵抗バラツキ  $\Delta R$  が表示画像の均一性に与える影響は小さくなる。言い換えると、画素抵抗 305 の抵抗値バラツキの許容量が大きくなり製造しやすくなる。

【0016】図 19 は、従来の薄膜電子源マトリクス of 薄膜型電子源素子構造を示す平面図である。図 19 に示すように、従来の薄膜電子源マトリクスでは、行電極 310 と列電極 311 とが、実際に空間的に交差する部分に薄膜型電子源素子 301 を形成していたために、薄膜型電子源素子 301 のみを行電極 310 あるいは列電極 311 から切り離すことが困難だった。本発明では、以下の実施の形態で詳述するように、各画素の電子源構造を工夫することにより、レーザー・リベアリング技術や通電加熱焼損を用いて、特定画素中の複数の薄膜型電子源素子 301 のうち一方を容易に切り離せるようにして、これにより、欠陥の発生を低減することができる。即ち、本発明では、製造段階で薄膜型電子源素子 301 の短絡不良を見出した場合に、その素子を切り離すことによって「線欠陥」および「完全点欠陥」の発生を防ぐことができる。なお、1 画素に 2 個の薄膜電子源を形成した構成で、一方の薄膜電子源を切り離した場合、定電圧パルス印加して駆動した場合は、その画素の発光輝度は正規の輝度の半分になる。いわゆる「2 分の 1 欠陥」の状態である。一方、定電流パルス印加して駆動した場合は、放出電流量は正規の場合と同じなので、正規の場合と同じ明るさになる。

【0017】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、下部電極と、電子加速層と、上部電極とを有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の電子源素子と、前記複数の電子源素子の前記下部電極に駆動電圧を印加する複数の第1の電極と、前記複数の電子源素子の前記上部電極に駆動電圧を印加する複数の第2の電極とを有する第1の基板を備える画像表示装置であって、前記表示素子は、複数の画素を有し、前記複数の画素の少なくとも1つは、 $n$  ( $n \geq 2$ ) 個の前記電子源素子で構成され、かつ、前記  $n$  個の電子源素子は、前記下部電極が抵抗素子を介して前記複数の第1の電極のいずれかに電気的に接続される構造、および前記上部電極が抵抗素子を介して前記複数の第2の電極のいずれかに電気的に接続される構造の少なくとも一方の構造を有することを特徴とする。

【0018】また、本発明は、下部電極と、電子加速層と、上部電極とを有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する複数の電子源素子と、前記複数の電子源素子の前記下部電極に駆動電圧を印加する複数の第1の電極と、前記複数の電子源素子の前記上部電極に駆動電圧を印加する複数の第2の電極とを有する第1の基板を備える画像表示装置であって、複数の画素の少なくとも1つは、 $n$  ( $n \geq 2$ ) 個の前記電子源素子で構成され、かつ、前記  $n$  個の電子源素子は、前記下部電極が接続配線を介して前記複数の第1の電極のいずれかに電気的に接続される構造、および前記上部電極が接続配線を介して前記複数の第2の電極のいずれかに電気的に接続される構造の少なくとも一方の構造を有することを特徴とする。

【0019】また、本発明は、前記第1の電極および第2の電極の少なくとも1つは、前記1画素に対して複数本形成されていることを特徴とする。また、本発明は、前記1画素に対して、複数本形成された前記第1の電極、あるいは、第2の電極のうちいずれか1本を、駆動手段から電気的に切断したことを特徴とする。また、本発明は、前記複数の画素のすべては、前記  $n$  個の電子源素子で構成され、前記すべての画素に対して、複数本形成された前記第1の電極、あるいは、第2の電極のうちいずれか1本を、駆動手段から電気的に切断したことを特徴とする。

【0020】本発明の好ましい実施の形態では、前記各第1の電極に駆動電圧を供給する第1の駆動手段と、前記各第2の電極に駆動電圧を供給する第2の駆動手段とを備え、前記抵抗素子の抵抗値が、前記第1の駆動手段の出力インピーダンスあるいは前記第2の駆動手段の出力インピーダンスのうちの大きい方の値を10倍した値よりも大きくされる。本発明の好ましい実施の形態で

は、前記抵抗素子の抵抗値を  $R$ 、前記電子源素子の静電容量を  $C$  とするとき、前記抵抗素子の抵抗値と、前記電子源素子の静電容量との積 ( $R \cdot C$ ) が、表示する映像信号の水平走査期間  $1H$  より小さくされる。本発明の好ましい実施の形態では、前記抵抗素子の抵抗値が、前記電子源素子の動作領域での微分抵抗よりも小さくされる。本発明の好ましい実施の形態では、前記抵抗素子が、その少なくとも一部が、前記第1の電極および前記第2の電極のいずれとも交差しないように設けられる。本発明の好ましい実施の形態では、前記抵抗素子が、折り曲げ部を有し、あるいは、前記抵抗素子が、線幅が他の部分より狭い部分、あるいは膜厚が他の部分より薄い部分を有する。

【0021】本発明の好ましい実施の形態では、前記第1の電極は、前記各電子源素子の下部電極を兼用し、前記抵抗素子が接続される電子源素子は、その上部電極が前記抵抗素子を介して前記第2の電極に接続される。本発明の好ましい実施の形態では、前記抵抗素子が接続される電子源素子は、前記上部電極と電気的に接続される上部電極バスライン下地膜を有し、前記抵抗素子は、前記上部電極バスライン下地膜と同一の材料を用いて構成される。本発明の好ましい実施の形態では、前記抵抗素子は、前記抵抗素子が接続される電子源素子の上部電極と同一の材料を用いて構成される。本発明の好ましい実施の形態では、前記抵抗素子が切断され、前記第1の電極あるいは前記第2の電極と電気的に切り離された電子源素子を有する。本発明の好ましい実施の形態では、前記接続配線が、その少なくとも一部が、前記第1の電極および前記第2の電極のいずれとも交差しないように設けられる。本発明の好ましい実施の形態では、前記接続配線が、折り曲げ部を有し、あるいは、前記接続配線が、線幅が他の部分より狭い部分、あるいは膜厚が他の部分より薄い部分を有する。本発明の好ましい実施の形態では、前記接続配線が切断され、前記第1の電極あるいは前記第2の電極と電気的に切り離された電子源素子を有する。本発明の好ましい実施の形態では、前記1画素に対して複数本形成された第1の電極および第2の電極の少なくとも1つの電極のうち、いずれか1本を電気的に切断する電気的な切断を、駆動回路内で行う。本発明の好ましい実施の形態では、前述の電気的な切断を、製造工程中に行う。本発明の好ましい実施の形態では、前記電子加速層が、絶縁層、半導体と絶縁体との積層膜、あるいは、ポーラスシリコンで構成される。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【実施の形態1】本発明の実施の形態1の画像表示装置は、電子放出電子源である薄膜型電子源マトリクスと蛍

10

20

30

40

50

光体との組み合わせによって、各ドットの輝度変調素子を形成した表示パネル（本発明の表示素子）を用い、当該表示パネルの行電極及び列電極に駆動回路を接続して構成される。ここで、表示パネルは、薄膜電子源マトリクスが形成された電子源板と蛍光体パターンが形成された蛍光表示板とから構成される。図2は、本実施の形態1の電子源板の薄膜電子源マトリクスの一部の構成を示す平面図であり、図3は、本実施の形態1の電子源板と蛍光表示板との位置関係を示す平面図である。また、図4は、本実施の形態1の画像表示装置の構成を示す要部断面図であり、同図(a)は、図2および図3に示すA-B切断線に沿う断面図、同図(b)は、図2および図3に示すC-D切断線に沿う断面図である。但し、図2および図3において、基板14の図示は省略している。

【0023】さらに、図4では、高さ方向の縮尺は任意である。即ち、下部電極13や上部電極バスライン32などは数 $\mu\text{m}$ 以下の厚さであるが、基板14と基板110との距離は1~3mm程度の長さである。また、以下の説明では、3行×3列の電子源マトリクスを用いて説明するが、実際の表示パネルでの行・列数は、数100行~数1000行、および数千列になることは言うまでもない。なお、図2において、点線で囲まれた領域35は電子放出部（本発明の電子源素子）を示す。電子放出部35は絶縁層12で規定された場所でこの領域内から電子が真空中に放出される。電子放出部35は上部電極11で覆われるため平面図には現れないので、点線で図示してある。

【0024】図5は、本実施の形態の電子源板の製造方法を説明するための図である。なお、本実施の形態では、1画素（カラー画像表示の場合はサブ画素）に、2つの電子放出部35が形成されるが、この図5では、1画素内の1つの電子放出部35の製造方法についてのみ図示している。即ち、この図5では、図2および図3に示す、行電極310の一つと列電極311の一つとの交点に形成する一つの薄膜型電子源素子301のみを取り出して描いているが、実際には、図2および図3に示すように複数の薄膜型電子源素子301がマトリクス状に配置されている。さらに、図5の右の列は平面図であり、左の列は、右の図の中のA-B線に沿う断面図である。以下、図5を用いて、本実施の形態の電子源板の薄膜電子源マトリクスの製造方法について説明する。ガラスなどの絶縁性基板14上に、下部電極13用の導電膜を、例えば、300nmの膜厚に形成する。下部電極13用の材料としては、例えば、アルミニウム（Al；以下、Alと称する。）合金を用いることができる。ここでは、Al-ネオジム（Nd；以下、Ndと称する。）合金を用いた。このAl合金膜の形成には、例えば、スパッタリング法や抵抗加熱蒸着法などを用いる。

【0025】次に、このAl合金膜を、フォトリソグラフィによるレジスト形成と、それに続くエッチングとに

よりストライプ状に加工し、図5(a)に示すように、下部電極13を形成する。ここで用いるレジストはエッチングに適したものであればよく、また、エッチングもウェットエッチング、ドライエッチングのいずれも可能である。次に、レジストを塗布して紫外線で露光してパターンニングし、図5(b)に示すように、レジストパターン501を形成する。レジストには、例えば、キノンジアザイド系のポジ型レジストを用いる。次に、レジストパターン501を付けたまま、陽極酸化を行い、図5(c)に示すように、保護絶縁層15を形成する。本実施の形態では、この陽極酸化において化成電圧100V程度とし、保護絶縁層15の膜厚を140nm程度とした。レジストパターン501をアセトンなどの有機溶媒で剥離した後、レジストで被覆されていた下部電極表面を再度陽極酸化して、図5(d)に示すように、絶縁層12を形成する。本実施の形態では、この再陽極酸化において化成電圧を6Vに設定し、絶縁層膜厚を8nmとした。

【0026】次に、上部電極バスライン下地膜用の導電膜を形成し、レジストをパターンニングしてエッチングを行い、図5(e)に示すように、上部電極バスライン下地膜33を形成する。本実施の形態では、上部電極バスライン下地膜の材料としてチタン（Ti）を用い、膜厚は20nm程度とした。次に、上部電極バスライン用の導電膜を形成し、レジストをパターンニングしてエッチングを行い、図5(f)に示すように、上部電極バスライン32と列電極331とを形成する。本実施の形態では、上部電極バスライン32と列電極331の材料として、Al合金を用い、膜厚300nm程度とした。なお、上部電極バスライン32および列電極331の材料には、金（Au）などを用いても良い。

【0027】次に、膜厚1nmのイリジウム（Ir）、膜厚2nmの白金（Pt）、膜厚3nmの金（Au）を、この順でスパッタリングにより形成する。レジストとエッチングによるパターン化により、Ir-Pt-Auの積層膜をパターン化し、図5(g)に示すように、上部電極11とする。なお、図5(g)において、点線で囲まれた領域35は電子放出部を示す。電子放出部35は絶縁層12で規定された場所でこの領域内から電子が真空中に放出される。以上のプロセスにより、基板14上に薄膜電子源マトリクスが完成する。本実施の形態の薄膜電子源マトリクスにおいては、絶縁層12で規定された領域（電子放出部35）、即ち、レジストパターン501で規定した領域から電子が放出される。電子放出部35の周辺部には、厚い絶縁膜である保護絶縁層15を形成してあるため、上部電極-下部電極間に印加される電界が下部電極13の辺または角部に集中しなくなり、長時間にわたって安定な電子放出特性が得られる。

【0028】上部電極バスライン下地膜33には3つの役割がある。第1の役割は、膜厚の薄いバスライン下地



膜 33 を設けることにより、膜厚が 10 nm 程度、あるいはそれ以下の上部電極 11 と上部電極バスライン 32 との電気的接触を確実にし、信頼性を向上させることである。実際に、上部電極バスライン下地膜 33 を除いて、上部電極バスライン 32 の上に直接上部電極 11 を形成すると、上部電極バスライン 32 (膜厚数 100 nm) の段差部分において上部電極 11 が断線しやすくなり、上部電極バスライン 32 - 上部電極 11 間の電気的接続の信頼性が低下する。

【0029】第 2 の役割は、画素抵抗 305 を形成することである。図 5 (g) に示すように、画素抵抗 305 は折り曲げられて形成され、この画素抵抗 305 の抵抗値は、上部電極バスライン 32 と列電極 311 との間の抵抗値として定義される。この抵抗値は、画素抵抗 305 の材料と、膜厚、画素抵抗 305 の部分の幾何学的形状で決まる。例えば、本実施の形態のように、上部電極バスライン下地膜材料にチタン (Ti) を用い、膜厚を 20 nm とし、長さ/幅比を 40 程度にすると、画素抵抗 305 の抵抗値  $R_r$  は 1 k $\Omega$  程度になる。また、膜厚 20 nm の窒化チタン (TiN) 膜を用いる場合は、長さ/幅比を 10 程度として、画素抵抗 305 を 1 k $\Omega$  程度にすればよい。薄膜型電子源素子 301 の動作領域での微分抵抗 ( $r_e$ ) は数 10 k $\Omega$  なので ( $r_e/R_r > 1$ ) の条件を十分満たす。したがって、前述の理由で、画素抵抗 305 の抵抗値バラツキが表示画像に与える影響は小さくなる。また、薄膜型電子源素子 301 の静電容量  $C_e$  は 0.1 nF 程度なので、 $C_e \cdot R_r = 0.1 \mu s$  程度であり、 $C_e \cdot R_r < 1 H$  の条件も十分満たす。ここで、1 H とは、1 行の信号印加期間で、画像表示装置の走査線数やリフレッシュレート (フィールド周期) などにより異なるが、一般的には  $1 H = 10 \sim 64 \mu s$  である。

【0030】第 3 の役割は、製造時に短絡不良を起こした薄膜型電子源素子 301 を列電極 311 から切り離すための「切断箇所」となることである。これは、問題の薄膜型電子源素子 301 に対応する行電極 - 列電極間に電圧を印加して画素抵抗 305 を焼損させて切断しても良い。あるいは、レーザー・ビームを画素抵抗 305 の箇所に照射して切断しても良い。この部分は膜厚の薄い上部電極バスライン下地膜 33 で形成されているため、切断しやすい。また、画素抵抗 305 の下には他の構成物が配置されていないので、レーザー・ビーム照射により他の部位に影響を与えない。即ち、画素抵抗 305 の少なくとも一部が、行電極 310 と列電極 311 のいずれとも交差しない場所にあることが重要である。なお、製造時に短絡不良を起こした薄膜型電子源素子 301 を列電極 311 から切り離す場合には、画素抵抗 305 に代えて、列電極 311 と薄膜型電子源素子 301 とを接続する接続配線であっても可まわらない。

【0031】図 6 は、本実施の形態の画素抵抗 305 の

他の形状を示す図である。この図 6 は、図 5 の (f) に対応するものであり、図 6 (a) に示すように、画素抵抗 305 一部分に細い部分を設けたり、図 6 (b) のように一部分に膜厚が薄い部分を設けても良い。このようにすると、レーザー・ビーム照射などによる切断時に、より容易に切断できるようになる。以上説明したように、本実施の形態の利点は、上部電極バスライン 32 と上部電極 11 との電気的接続性の信頼性向上のために用いる上部電極バスライン下地膜 33 の形成工程を利用して画素抵抗 305 を形成していることである。これはバスライン下地膜 33 と同一の材料を用いて画素抵抗 305 を形成していることから可能になる。即ち、図 5 の製作プロセスからわかるように、従来と同じリソグラフィー回数で画素抵抗を導入している。したがって、画素抵抗 305 の導入による製造コストの上昇がない。

【0032】ただし、本発明はこれに制限されるものではなく、バスライン下地膜 33 と異なる材料を用いて画素抵抗 305 を形成してももちろんよい。また、画素抵抗 305 の抵抗値の製造バラツキを発生させる幾何学的要因は、画素抵抗 305 の幅と長さであるが、前者

(幅) は画素抵抗 305 を形成する際のフォトマスクで規定されるのでバラツキが少ない。後者(長さ)は列電極 311 と上部電極バスライン 32 を形成する際のフォトマスクで規定されるのでバラツキが少ない。即ち、画素抵抗 305 をバラツキが少なく形成することが可能である。下部電極 13 と基板 14 との間には下部電極 13 の膜厚分 (300 nm 程度) の段差がある。本実施の形態では、図 2、図 4 からわかるように、この段差部分に上部電極バスライン 32 (膜厚 300 nm 程度) がまたがるようにして、段差部分での断線が起こらないようにしている。

【0033】本実施の形態の蛍光表示板は、ソーダガラス等の基板 110 に形成されるブラックマトリクス 120 と、このブラックマトリクス 120 の溝内に形成される赤 (R)・緑 (G)・青 (B) の蛍光体 (114A ~ 114C) と、これらの上に形成されるメタルバック膜 122 とで構成される。以下、本実施の形態の蛍光表示板の作成方法について説明する。まず、表示装置のコントラストを上げる目的で、基板 110 上に、ブラックマトリクス 120 を形成する (図 4 (b) 参照)。次に、赤色蛍光体 114A、緑色蛍光体 114B、青色蛍光体 114C を形成する。これら蛍光体のパターン化は、通常の陰極線管の蛍光面に用いられるのと同様に、フォトリソグラフィーを用いて行った。蛍光体としては、例えば、赤色に  $Y_2O_3:S:Eu$  (P22-R)、緑色に  $ZnS:Cu, Al$  (P22-G)、青色に  $ZnS:Ag$  (P22-B) を用いた。次いで、ニトロセルロースなどの膜でフィルミングした後、基板 110 全体に Al を、膜厚 50 ~ 300 nm 程度蒸着してメタルバック膜 122 とする。その後、基板 110 を 400 $^{\circ}C$  程度に加

熱してフィルミング膜やポリビニルアルコール (PVA) などの有機物を加熱分解する。このようにして、蛍光表示板が完成する。

【0034】このように製作した電子源板と、蛍光表示板とを、スペーサ60を挟み込んでフリットガラスを用いて封着する。蛍光表示板に形成された蛍光体(114A~114C)と、電子源板の薄膜電子源マトリクスとの位置関係は図3に示したとおりである。なお、図3では、蛍光体(114A~114C)やブラックマトリクス120と基板上構成物との位置関係を示すために、基板110上の構成物は斜線のみで示してある。電子放出部35、即ち、絶縁層12が形成された部分と、蛍光体(114A~114C)の幅との関係が重要である。本実施の形態では、薄膜型電子源301から放出される電子ビームは多少空間的に広がることを考慮して、電子放出部35の幅は、蛍光体(114A~114C)の幅よりも狭く設計している。さらに、図3は、電子放出部35と蛍光体(114A~114C)の位置関係を示すための図なので、基板14上の他の構成物、例えば、上部電極11、上部電極バスライン32、画素抵抗305などは省略してある。

【0035】基板110-基板14間の距離は1~3mm程度とする。スペーサ60は表示パネル内部を真空にしたときに、大気圧の外部からの力による表示パネルの破損を防ぐために挿入する。したがって、基板14、基板110に厚さ3mmのガラスを用いて、幅4cm×長さ9cm程度以下の表示面積の表示装置を製作する場合には、基板110と基板14自体の機械強度で大気圧に耐え得るので、スペーサ60を挿入する必要はない。スペーサ60の形状は、例えば、図3のように直方体形状とする。ここでは、3行毎にスペーサの支柱を設けているが、機械強度が耐える範囲で、支柱の数(配置密度)を減らしてかまわない。スペーサ60としては、ガラス製またはセラミクス製で、板状あるいは柱状の支柱を並べて配置する。なお、図4(a)において、スペーサ60が基板14側に接していないように見えるが、実際には基板14上の列電極311に接している。図4(a)では列電極311の膜厚分だけ隙間が出来るわけである。

【0036】封着した表示パネルは、 $1 \times 10^{-7}$  Torr 程度の真空に排気して、封止する。表示パネル内の真空度を高真空に維持するために、封止の直前あるいは直後に、表示パネル内の所定の位置(図示せず)でゲッター膜の形成またはゲッター材の活性化を行う。例えば、バリウム(Ba)を主成分とするゲッター材の場合、高周波誘導加熱によりゲッター膜を形成できる。このようにして、薄膜電子源マトリクスを用いた表示パネルが完成する。本実施の形態では、基板110-基板14間の距離は1~3mm程度と大きいので、メタルバック膜122に印加する加速電圧を3~6KVと高電圧にでき、

したがって、前記したように、蛍光体(114A~114C)には陰極線管(CRT)用の蛍光体を使用することができる。

【0037】図7は、本実施の形態の表示パネルに、駆動回路を接続した状態を示す結線図である。行電極310(下部電極13)は行電極駆動回路41に接続され、列電極311(上部電極バスライン32)は列電極駆動回路42に接続される。ここで、各駆動回路(41、42)と、電子源板との接続は、例えば、テープキャリアパッケージを異方性導電膜で圧着したものや、各駆動回路(41、42)を構成する半導体チップを、電子源板の基板14上に直接実装するチップオンガラス等によって行う。メタルバック膜122には、加速電圧源43から3~6KV程度の加速電圧が常時印加される。

【0038】図8は、図7に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。ここで、n番目の行電極310をRn、m番目の列電極311をCm、n番目の行電極310と、m番目の列電極311との交点のドットを(n, m)で表すことにする。時刻t0ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体(114A~114C)は発光しない。時刻t1において、R1の行電極310に、行電極駆動回路41から(V<sub>R1</sub>)なる駆動電圧を、(C1, C2)の列電極311に、列電極駆動回路42から(V<sub>C1</sub>)なる駆動電圧を印加する。ドット(1, 1)、(1, 2)の上部電極11と下部電極13との間には画素抵抗305を介して(V<sub>C1</sub>-V<sub>R1</sub>)なる電圧が印加されるので、(V<sub>C1</sub>-V<sub>R1</sub>)の電圧を電子放出開始電圧以上に設定しておけば、この2つのドットの薄膜型電子源からは電子が真空中に放出される。本実施の形態では、V<sub>R1</sub>=-5V、V<sub>C1</sub>=4.5Vとした。

【0039】放出された電子は、メタルバック膜122に印加された電圧により加速された後、蛍光体(114A~114C)に衝突し、蛍光体(114A~114C)を発光させる。時刻t2において、R2の行電極310に、行電極駆動回路41から(V<sub>R1</sub>)なる駆動電圧を印加し、C1の列電極311、列電極駆動回路42から(V<sub>C1</sub>)なる電圧を印加すると、同様に、ドット(2, 1)が点灯する。ここで、図8に示す電圧波形の駆動電圧を、行電極310および列電極311に印加すると、図7の斜線を施したドットのみが点灯する。このようにして、列電極311に印加する信号を変えることにより、所望の画像または情報を表示することができる。

【0040】ここで、複数の電子源のうち1個、例えば、図2の薄膜電子源素子461が不良により電子放出しない場合を考える。本発明によれば、前述のように他の薄膜電子源素子は動作するので、不良の薄膜電子源素子461と対の薄膜電子源素子462は、正しく電子

放出をする。したがって、ドット(3, 3)は、正常動作時と比べて1/2の輝度になるが、非発光(完全点欠陥)にはならない。また、列電極311に印加する駆動電圧( $V_{c1}$ )の大きさを画像信号に合わせて適宜変えることにより、階調のある画像を表示することができる。なお、絶縁層12中に蓄積される電荷を開放するために、図8の時刻t4において、全ての行電極310に、行電極駆動回路41から( $V_{r1}$ )なる駆動電圧を印加し、同時に、全ての列電極に、列電極駆動回路42から0Vの駆動電圧を印加する。ここで、 $V_{r1}=5V$ であるので、薄膜型電子源301には $-V_{r1}=-5V$ の電圧が印加される。このように、電子放出時とは逆極性の電圧(反転パルス)を印加することにより薄膜電子源の寿命特性を向上できる。なお、反転パルスを印加する期間(図11のt4~t5, t8~t9)としては、映像信号の垂直帰線期間を用いると、映像信号との整合性が良い。

【0041】以上説明したように、本実施の形態の画像表示装置によれば、1画素(または、カラー表示の場合は1サブ画素)が完全に非点灯になる「完全点欠陥」を防止できるので、歩留まりを向上させることが可能となる。また、本実施の形態の画像表示装置によれば、点欠陥を防止できるので、歩留まりを向上させることが可能となる。さらに、本実施の形態の画像表示装置によれば、配線抵抗305のバラツキや駆動回路の特性バラツキが、輝度や放出電流量の面内バラツキに与える影響を低減することができるので、製造が容易になり、製造コストを低減することが可能となる。

【0042】【実施の形態2】図9は、本発明の実施の形態2の電子源板の薄膜電子源マトリクスの一薄膜型電子源素子301の構成を示す図であり、右側が平面図、左側がA-B切断線に沿う断面図である。本実施の形態では、上部電極11と同一材料を用いて画素抵抗305を形成している。このように、上部電極11と同一の材料を用いて画素抵抗305を形成することにより、製造工程が簡略化される。この場合の画素抵抗305の抵抗値は、前記実施の形態1と同様、列電極311と上部電極バスライン32との間の抵抗値として定義される。この画素構造以外は実施の形態1と同様である。

【0043】図10は、本実施の形態の電子源板の薄膜電子源マトリクスの製造方法を説明するための図である。なお、この図10は、1画素内の1つの電子放出部35の製造方法についてのみ図示している。即ち、図10では、図1において行電極310の一つと列電極311の一つとの交点に形成される一つの薄膜型電子源素子301のみを取り出して描いている。図10の右の列は、平面図であり、左の列は、右の図の中のA-B切断線に沿う断面図である。図10の(d)までは、図5(d)までと同じ方法で形成する。次に、スズ(Sn)をドーブした酸化インジウム(即ち、ITO(Indium T 50

inOxide)膜をスパッタリングで形成する。ここで、ITO膜の膜厚は10nm程度とした。レジストとエッチングによるパターン化によりITO膜をパターン化し、図10(e)に示すように、上部電極11を形成する。

【0044】次に、図10(f)に示すパターンで、レジスト502を形成した後、電解メッキにより上部電極バスライン32および列電極311を形成する。本実施の形態では、電解金メッキ液を用い、上部電極11に0.1A/dm<sup>2</sup>程度の電流を通電することにより、選択的に上部電極11上に金の膜が成長する。このようにして、膜厚400nm程度のバスライン32を形成する。本実施の形態では金の電解メッキを用いたが、もちろん銅(Cu)、ニッケル(Ni)など他の電極材料を用いても良い。メッキによりバスライン32を形成した後、レジスト502を剥離することにより、図10(g)に示すように、本実施の形態の薄膜電子源マトリクスが完成する。

【0045】本実施の形態の特色は、膜厚の薄い上部電極11が膜厚の厚いバスライン32の下側にあることである。このため、上部電極バスライン下地膜を介さなくても、上部電極バスライン32と上部電極11との間の電氣的接続が信頼性良く確保できる。また、図10に示す製造方法は一例であり、図9に示す構造は、上部電極バスライン32と列電極311の成膜にメッキを用いなくても形成可能であることは言うまでもない。基板110上の蛍光体などの形成法、および薄膜型電子源素子301と蛍光体(114A~114C)との位置関係、および駆動回路の結線方法や駆動方法は、先に述べた実施の形態1と同様である。本実施の形態でも、前記実施の形態と同様、1画素(または、カラー表示の場合は1サブ画素)が完全に非点灯になる「完全点欠陥」を防止でき、これにより、点欠陥を防止できるので、歩留まりを向上させることが可能となる。また、本実施の形態の画像表示装置によれば、配線抵抗305のバラツキや駆動回路の特性バラツキが、輝度や放出電流量の面内バラツキに与える影響を低減することができるので、製造が容易になり、製造コストを低減することが可能となる。

【0046】【実施の形態3】図11は、本発明の実施の形態3の薄膜電子源マトリクスの概略構成を示す図である。図11に示すように、本実施の形態では、画素抵抗305を行電極310と薄膜型電子源素子301の間に挿入する。より具体的には、薄膜型電子源素子301の下部電極13と行電極310との間に画素抵抗305を挿入する。図11の画素構成を実現する一例として、具体的な画素構造を図12、図13に示す。図12は、本実施の形態の薄膜電子源マトリクスの平面図である。図13は、本実施の形態の一薄膜型電子源素子301の要部断面構造を示す断面図であり、同図(a)は図12のA-B切断線に沿う断面図、同図(b)は図12のC-D切断線に沿う断面図である。図12に示すように、

行電極 310 と下部電極 13 との間を画素抵抗 305 で接続する。画素抵抗 305 は画素抵抗絶縁層 306 で被覆され、行電極 310 は行電極絶縁層 315 で被覆される。薄膜型電子源素子 (画素) 301 に対応する部分に、下部電極 13 を Al-Nd 合金などで形成する。後は、前記実施の形態 1 で説明した方法と、ほぼ同様の方法で薄膜型電子源を形成すればよい。

【0047】図 12 から分かるように、本実施の形態では、列電極 311 と上部電極バスライン 32 とが同一である。このため、隣接する列のピッチを細かく製作することが容易である。RGB 縦ストライプ型の sub-pixel 構成のカラー表示装置においては、列方向の sub-pixel ピッチ、即ち、薄膜型電子源素子 301 の配列ピッチが、行方向ピッチの 1/3 になるので、列方向ピッチが細かくできることは重要であり、これがこの画素構造の利点である。但し、前記実施の形態 1、2 と比べて製造工程が少し複雑になるのが欠点である。基板 110 上の蛍光体などの形成法、および薄膜型電子源素子 301 と蛍光体 (114A~114C) との位置関係、および駆動回路の結線方法や駆動方法は、前記実施の形態 1 と同様である。

【0048】本実施の形態でも、前記実施の形態と同様、1 画素 (または、カラー表示の場合は 1 サブ画素) が完全に非点灯になる「完全点欠陥」を防止でき、これにより、点欠陥を防止できるので、歩留まりを向上させることが可能となる。また、本実施の形態の画像表示装置によれば、配線抵抗 305 のバラツキや駆動回路の特性バラツキが、輝度や放出電流量の面内バラツキに与える影響を低減することができるので、製造が容易になり、製造コストを低減することが可能となる。なお、前記説明では、画素抵抗 305 を列電極 311 に接続する例 (図 1) と行電極 310 に接続する例 (図 11) とを述べたが、列電極 311 と行電極 310 の両方に画素抵抗 305 を挿入しても本発明の効果が得られることは言うまでもない。

【0049】[実施の形態 4] 図 14 は、本発明の実施の形態 4 でのマトリクス構成の概略構成を示す図である。図 15 は本発明の実施の形態 4 での電子源板の薄膜電子源マトリクスの一部の構成を示す図である。各画素毎に 2 個の電子源素子 (301A, 301B) を設け、かつ、それぞれの電子源素子を行電極 (310A, 310B) に接続する。即ち、基板 14 上では、画素 1 行に対して 2 本の行電極 (310A, 310B) がある。2 本の行電極は、駆動回路内あるいは回路と基板 14 との接続手段内で結線する。本実施の形態によれば、駆動回路を接続する前の段階で、電子源素子 (301A, 301B) のいずれに不良が発生したかを容易に知ることが出来る。例えば、行電極 310A と列電極 311 の各々と、また行電極 310B と列電極 311 の各々との抵抗を測定すればよい。また、ショート不良が発生した場合

に通電加熱により画素抵抗 305 を切断する場合に、電子源素子 301A または電子源素子 301B のいずれかの電子源素子を独立に通電できるので好ましい。また、不良電子源素子が特定できるので、レーザーリペアなどの手段で不良電子源素子を切断する場合にも修復が容易である。このようにして、不良電子源素子部分を修復した後、駆動回路に結線する。

【0050】図 15 は、本実施の形態での電子源板での電子源マトリクスの一部の構成を示すものである。電子源素子 301A と電子源素子 301B とが、それぞれ別の行電極 310A と行電極 310B とに、抵抗 305 を介して接続されている。なお、行電極 310A と行電極 310B の表面には保護絶縁層 15 が形成されており、図 15 ではそのように記してある。本実施の形態の電子源板および表示装置は、実施の形態 1 の場合と同様の方法で形成できる。駆動方法も実施の形態 1 の場合と同様である。なお、図 14 では、電子源素子 (301A, 301B) と列電極 311 とを画素抵抗 305 を介して結線した図を示したが、抵抗の代わりに接続配線を介して接続しても良い。この場合は、不良電子源素子を見出した場合、レーザーリペアなどの手段で切り離す。

【0051】さらに、本実施の形態では、電子源素子 301A と電子源素子 301B とを、それぞれ別の列電極に、抵抗 305 を介して接続するようにしてもよい。本実施の形態でも、前記実施の形態と同様、1 画素 (または、カラー表示の場合は 1 サブ画素) が完全に非点灯になる「完全点欠陥」を防止でき、これにより、点欠陥を防止できるので、歩留まりを向上させることが可能となる。また、本実施の形態の画像表示装置によれば、配線抵抗 305 のバラツキや駆動回路の特性バラツキが、輝度や放出電流量の面内バラツキに与える影響を低減することができるので、製造が容易になり、製造コストを低減することが可能となる。

【0052】[実施の形態 5] 図 16 は、本発明の実施の形態 5 のマトリクス構成の概略構成を示す図である。本実施の形態では、電子源板の構成は実施の形態 4 と同じである。但し、駆動回路内、あるいは駆動回路と基板 14 との接続部分内にスイッチ 602 が形成されている。スイッチ 602 は、ヒューズのようにいったん切断したら切断したままの状態に有るものでも良いし、あるいはアナログスイッチのように電氣的に接続・非接続を切り替えるものでもよい。本実施の形態では、スイッチ 602 により不良電子源素子が接続されてる行電極 310 を駆動回路から切り離す。行電極 (310A, 310B) のいずれについても不良電子源素子が無い場合には、どちらか一方のスイッチ 602 を切断する。例えば、2 行 2 列目の画素内の電子源 301A が不良電子源素子で有った場合には、図 16 のようなスイッチ設定にすればよい。このようにすると、駆動回路には電子源素子のみが接続されることになるので、欠陥のない画像を

表示できる。

【0053】なお、図16では、行電極(310A、310B)と電子源素子(301A、301B)との結線を画素抵抗305を介して行っているが、抵抗の代わりに接続配線を介して接続しても良い。また、図16では、スイッチ602が駆動回路内、あるいは駆動回路と電子源板との接続部分内にスイッチ602が形成されているように記したが、スイッチ602を基板14上に形成して、そのスイッチを切断しても同様の効果が得られることは言うまでもない。駆動回路内でスイッチ602を形成すると、回路的にスイッチの切替が可能なので、容易に欠陥修復が行えるという利点がある。本実施の形態でも、前記実施の形態と同様、1画素(または、カラー表示の場合は1サブ画素)が完全に非点灯になる「完全点欠陥」を防止でき、これにより、点欠陥を防止できるので、歩留まりを向上させることが可能となる。また、本実施の形態の画像表示装置によれば、配線抵抗305のバラツキや駆動回路の特性バラツキが、輝度や放出電流量の面内バラツキに与える影響を低減することができるので、製造が容易になり、製造コストを低減することが可能となる。

【0054】また、前記各実施の形態では、全ての電子源素子301に画素抵抗305を接続した実施の形態について説明したが、製造歩留まりが極端に下らない範囲で、画素抵抗305が接続されていない電子源素子301がいくつかあってもよい。さらに、以上の実施の形態では、1画素に2個の電子源素子301を設けた例を示したが、1画素に3個あるいは4個以上を設けてもよいことは言うまでもない。1画素に3個の電子源素子を設けると、そのうち1個が不良となった場合で、定電圧駆動の場合でも、正規の輝度の2/3の輝度が得られるため、不良電子源素子の影響が一層小さくなる。

【0055】また、前記各実施の形態では、加速層として絶縁層を用いるMIM型薄膜電子源素子を用いた例について説明したが、本発明はこれに限定されるものではなく、電極として半導体を用いたMOS型トンネル電子源に対しても有効である。あるいは、加速層にポーラスシリコンを用いる、電極-ポーラスシリコン-電極の構成とした電子源を用いてもよい。この電子源は、例えば、Journal of Vacuum Science and Technology, B, Vol.17, No.3, pp.1076~1079 (1999)に述べられている。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明の画像表示装置によれば、1画素、あるいはカラー表示の場合は1サブ画素が完全に非点灯になる「完全点欠陥」を防止できるので、歩留まりを向上させることが可能となる。

(2) 本発明の画像表示装置によれば、点欠陥を防止できるので、歩留まりを向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の画像表示装置の薄膜電子源マトリクスの一例の概略構成を示す図である。

10 【図2】本発明の実施の形態1の電子源板の薄膜電子源マトリクスの一部の構成を示す平面図である。

【図3】本発明の実施の形態1の電子源板と蛍光表示板との位置関係を示す平面図である。

【図4】本発明の実施の形態1の画像表示装置の構成を示す要部断面図である。

【図5】本発明の実施の形態1の電子源板の薄膜電子源マトリクスの製造方法を説明するための図である。

【図6】本発明の実施の形態1の画素抵抗の他の形状を示す図である。

20 【図7】本発明の実施の形態1の表示パネルに、駆動回路を接続した状態を示す結線図である。

【図8】図7に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

【図9】本発明の実施の形態2の電子源板の薄膜電子源マトリクスの一薄膜型電子源素子の構成を示す図である。

【図10】本発明の実施の形態2の電子源板の薄膜電子源マトリクスの製造方法を説明するための図である。

【図11】本発明の実施の形態3の電子源板の薄膜電子源マトリクスの概略構成を示す図である。

30 【図12】本発明の実施の形態3の電子源板の薄膜電子源マトリクスの平面図である。

【図13】本発明の実施の形態3の一薄膜型電子源素子の要部断面構造を示す断面図である。

【図14】本発明の実施の形態4の電子源板の薄膜電子源マトリクスの概略構成を示す図である。

【図15】本発明の実施の形態4の電子源板の薄膜電子源マトリクスの一部の構成を示す平面図である。

40 【図16】本発明の実施の形態5の電子源板の薄膜電子源マトリクスの概略構成を示す図である。

【図17】薄膜電子源の動作原理を説明するための図である。

【図18】従来の薄膜電子源マトリクスの概略構成を示す図である。

【図19】従来の画像表示装置の画素構造を示す平面図である。

【符号の説明】

10…空間部、11…上部電極、12…絶縁層、13…下部電極、14、110…基板、15…保護絶縁層、32…上部電極バスライン、33…上部電極バスライン下

21

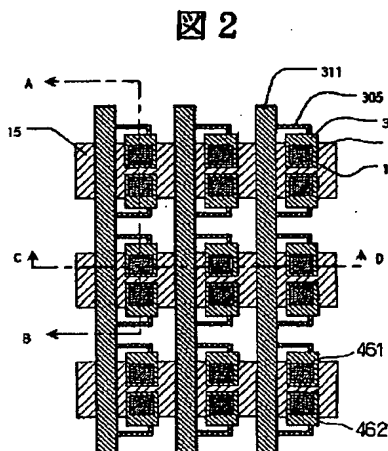
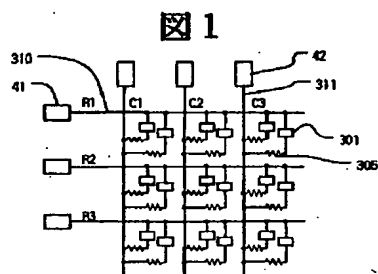
地膜、35…電子放出部、41…行電極駆動回路、42…列電極駆動回路、43…加速電圧源、60…スペーサ、114A…赤色蛍光体、114B…緑色蛍光体、114C…青色蛍光体、120…ブラックマトリクス、122…メタルバック膜、301、301A、301B、\*

22

\*461、462…薄膜型電子源素子、305…画素抵抗、306…画素抵抗絶縁層、310、310A、310B…行電極、311…列電極、315…行電極絶縁層、501、502…レジスト、602…スイッチ。

【図1】

【図2】

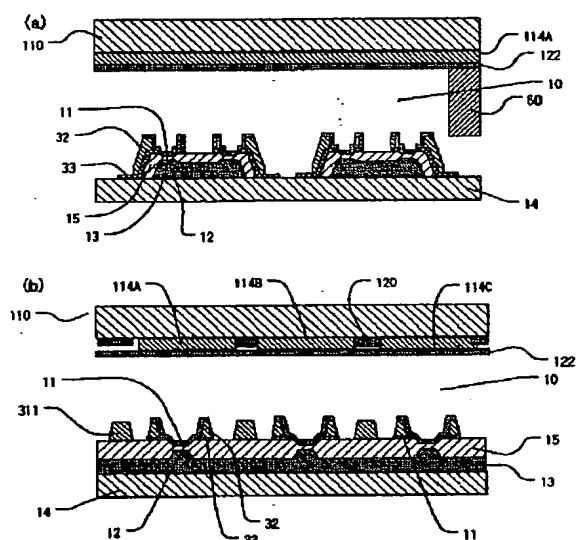
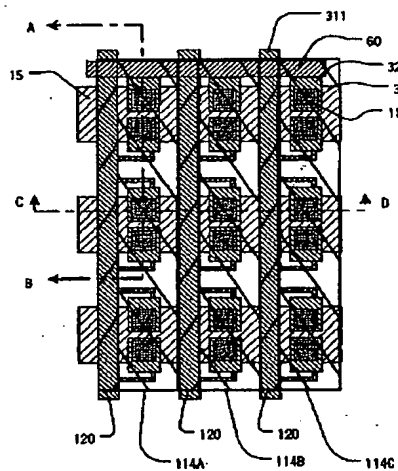


【図3】

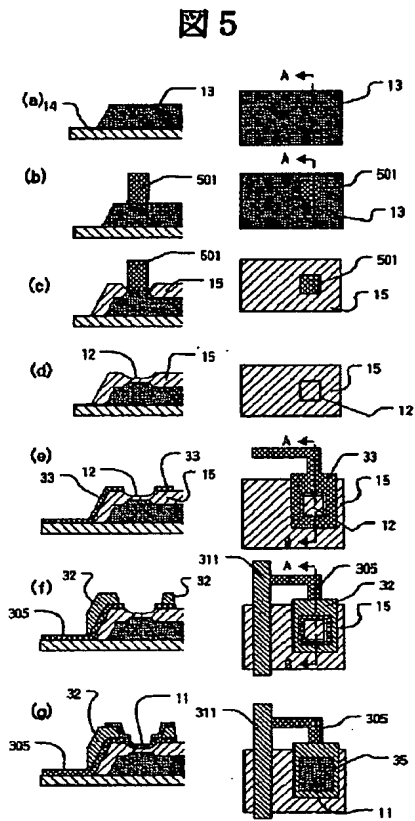
【図4】

図3

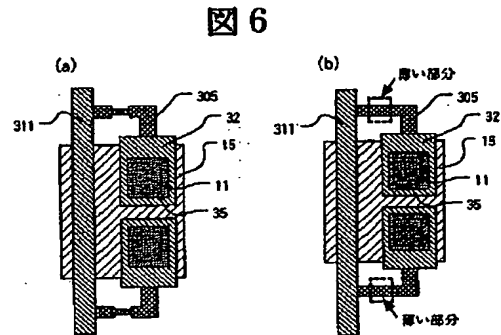
図4



【図5】

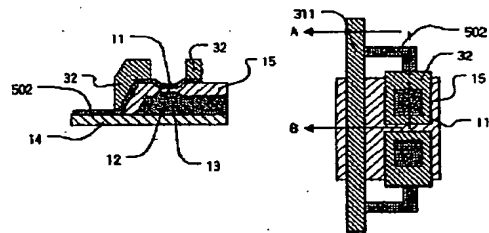


【図6】



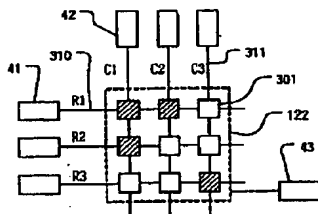
【図9】

図9



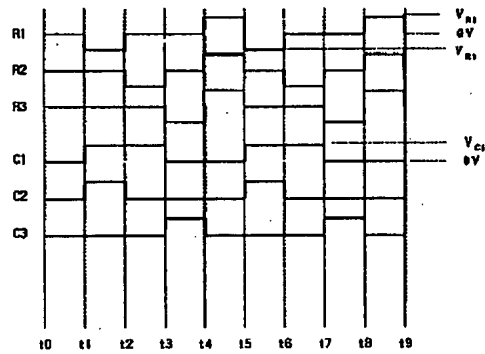
【図7】

図7



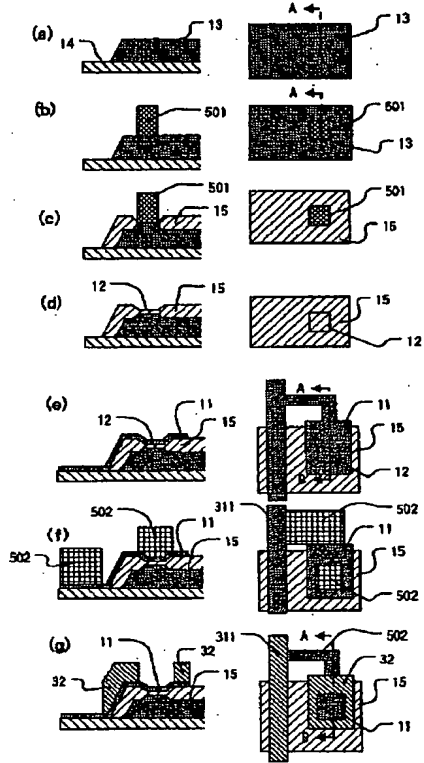
【図8】

図8



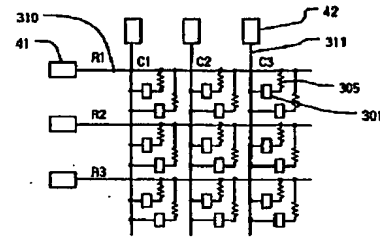
【図10】

図10



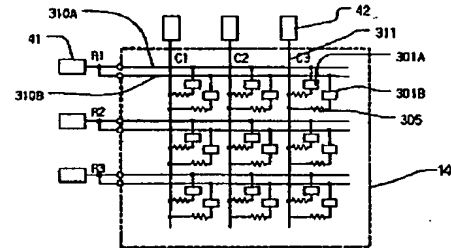
【図11】

図11



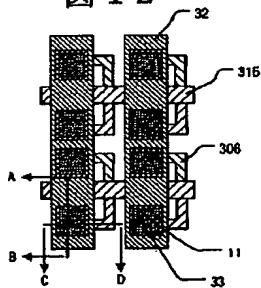
【図14】

図14



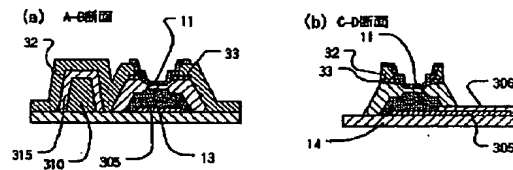
【図12】

図12



【図13】

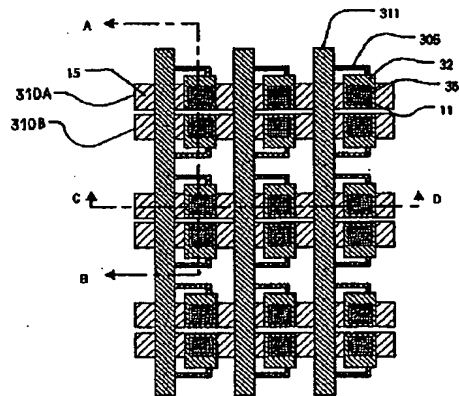
図13





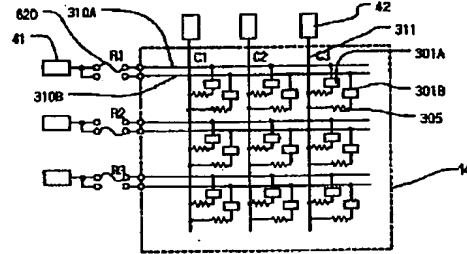
【図15】

図15



【図16】

図16

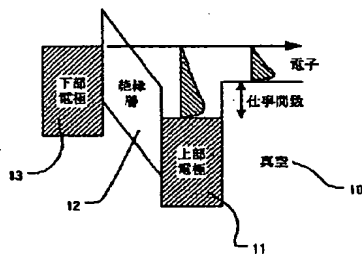


【図19】

図19

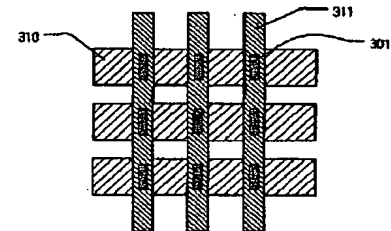
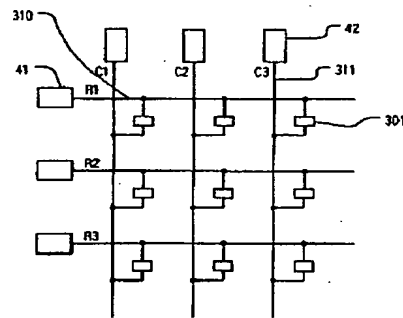
【図17】

図17



【図18】

図18



フロントページの続き

(72)発明者 楠 敏明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

Fターム(参考) 5C031 D017

5C036 EE08 EE14 EE19 EF01 EF06

EF09 EG12 EG46 EH26

5C094 AA03 AA55 BA32 BA84 CA19

CA24 DA03 EB05